

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-255073

(43)Date of publication of application : 01.10.1996

(51)Int.Cl. G06F 7/00

(21)Application number : 07-350962

(71)Applicant : GRASS VALLEY GROUP INC:THE

(22)Date of filing : 25.12.1995

(72)Inventor : BLACKHAM RAYMOND C
OHMANN DAVID A
WALKER JEFFREY J

(30)Priority

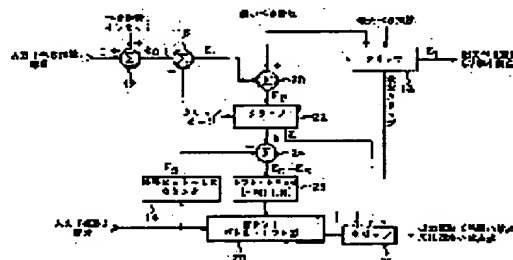
Priority number : 94 366274 Priority date : 29.12.1994 Priority country : US

(54) NUMERICAL FORMAT CONVERSION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To support various fixed point numerical formats and floating point numerical formats and to convert the numerical format from a fixed point to a floating point, from the floating point to the fixed point or from the floating point to the different floating point corresponding to the necessity of a signal processing route.

SOLUTION: Digital power exponent signal generation means 12–18 generate digital power exponent signals E_f from input digital signals and a power exponent range and a power exponent offset decided by the numerical format of the input digital signals and the numerical format of output digital signals. Digital mantissa signal generation means 14 and 20–30 generate digital mantissa signals from the input digital signals, the power exponent range and the power exponent offset. At the time, the output digital signals are generated by the digital power exponent signals and the digital mantissa signals when the output numerical format is the floating point and the output digital signals are generated by the digital mantissa signals when the output numerical format is the fixed point format.



LEGAL STATUS

[Date of request for examination] 24.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2884057

[Date of registration] 12.02.1999

[Number of appeal against examiner's decision of]

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2884057号

(45) 発行日 平成11年(1999) 4月19日

(24) 登録日 平成11年(1999) 2月12日

(51) Int.Cl.⁸

G 0 6 F 7/00

識別記号

F I

G 0 6 F 7/00

1 0 1 W

請求項の数9(全 6 頁)

(21) 出願番号 特願平7-350962

(22) 出願日 平成7年(1995)12月25日

(65) 公開番号 特開平8-255073

(43) 公開日 平成8年(1996)10月1日

審査請求日 平成9年(1997)6月24日

(31) 優先権主張番号 08/366, 274

(32) 優先日 1994年12月29日

(33) 優先権主張国 米国 (US)

(73) 特許権者 391002340
 テクトロニクス・インコーポレイテッド
 TEKTRONIX, INC.
 アメリカ合衆国 オレゴン州 97070-
 1000 ウィルソンビル ビー・オー・ボ
 ックス 1000 サウスウエスト パーク
 ウェイ・アベニュー 26600

(72) 発明者
 レイモンド・シー・ブラックハム
 アメリカ合衆国 カリフォルニア州
 95946ベン・バレー ロング・バレー・
 ロード 12909

(74) 代理人 弁理士 山口 邦夫 (外2名)

審査官 田中 友章

最終頁に続く

(54) 【発明の名称】 数値フォーマット変換装置

1

(57) 【特許請求の範囲】

【請求項1】 第1数値フォーマットの入力デジタル信号を第2数値フォーマットの出力デジタル信号に変換する装置であって、

上記入力デジタル信号と、上記第1及び第2数値フォーマットで決まるべき指数範囲及びべき指数オフセットとから、デジタルべき指数信号を発生するデジタルべき指数信号発生手段と、

上記入力デジタル信号、上記べき指数範囲及び上記べき指数オフセットからデジタル仮数信号を発生し、上記第2数値フォーマットが浮動小数点数値フォーマットのときに上記デジタルべき指数信号及び上記デジタル仮数信号により上記出力デジタル信号を発生し、上記第2数値フォーマットが固定小数点数値フォーマットのときに上記デジタル仮数信号により上記出力デジタル信号を発生

2

するデジタル仮数信号発生手段とを具えた数値フォーマット変換装置。

【請求項2】 上記デジタルべき指数信号発生手段は、上記デジタル信号のデジタルべき指数部分をデジタルべき指数オフセット定数及び上記デジタル信号の符号ビット部分と組み合わせて、中間べき指数信号を発生する組み合わせ手段と、

デジタル最小べき指数定数及びデジタル最大べき指数定数により決まるべき指数範囲に応じて上記中間べき指数信号をクリップして、上記デジタルべき指数信号を発生する手段とを具えたことを特徴とする請求項1の数値フォーマット変換装置。

【請求項3】 上記組み合わせ手段は、上記デジタルべき指数オフセット定数を上記デジタルべき指数部分と加算してオフセットべき指数信号を発生す

る第1加算回路と、

上記符号ビット部分からシフトべき指数信号を発生する手段と、

上記オフセットべき指数信号から上記シフトべき指数信号を減算して上記中間べき指数信号を発生する第2加算回路とを具えたことを特徴とする請求項2の数値フォーマット変換装置。

【請求項4】 上記デジタル仮数信号発生手段は、上記中間べき指数信号、上記デジタル最小べき指数定数及び上記符号ビット部分に応じてシフト制御信号を発生するシフト制御信号発生手段と、

上記シフト制御信号に応じて、上記デジタル仮数部分から上記デジタル出力仮数信号を発生する手段とを具えたことを特徴とする請求項2の数値フォーマット変換装置。

【請求項5】 上記シフト制御信号発生手段は、上記デジタル最小べき指数定数に応じて上記中間べき指数信号からクリップされたべき指数信号を発生するクリップされたべき指数信号発生手段と、上記符号ビット部分に応じて上記クリップされたべき指数信号から上記シフト制御信号を生成するシフト制御信号生成手段とを具えたことを特徴とする請求項4の数値フォーマット変換装置。

【請求項6】 上記クリップされたべき指数信号発生手段は、上記デジタル最大べき指数定数から上記中間べき指数信号を減算して、クリップべき指数信号を発生する第3加算回路と、上記クリップべき指数信号をクリップして、上記クリップされたべき指数信号を発生する手段とを具えた請求項5の数値フォーマット変換装置。

【請求項7】 上記シフト制御信号生成手段は、上記符号ビット部分からシフトべき指数信号を抽出する手段と、上記クリップされたべき指数信号から上記シフトべき指数信号を減算して、シフト制御べき指数信号を発生する第4加算回路と、上記シフト制御べき指数信号をクリップして、上記シフト制御信号を発生する手段とを具えた請求項5の数値フォーマット変換装置。

【請求項8】 上記シフト制御信号発生手段は、上記デジタル最小べき指数定数から上記オフセットべき指数信号を減算して、クリップべき指数信号を発生する第3加算回路と、上記中間べき指数信号を上記デジタル最小べき指数定数と比較して選択信号を発生する手段と、上記選択信号に応じて、上記符号ビット部分から得た否定シフトべき指数信号及び上記クリップべき指数信号の間で選択を行い、シフト制御べき指数信号を発生する手段と、

上記シフト制御べき指数信号をクリップして、上記シフト制御信号を発生する手段とを具えたことを特徴とする請求項4の数値フォーマット変換装置。

【請求項9】 第1数値フォーマットの入力デジタル信号を第2数値フォーマットの出力デジタル信号に変換する装置であって、

上記第1数値フォーマットが固定小数点数値フォーマットのときにゼロである上記入力デジタル信号のデジタルべき指数信号部分にデジタル・オフセットべき指数定数を加算して、オフセットべき指数信号を発生する手段と、

上記入力デジタル信号からシフトべき指数信号を抽出する手段と、

上記オフセットべき指数信号から上記シフトべき指数信号を減算して、出力べき指数信号を発生する手段と、最小べき指数デジタル定数及び最大べき指数デジタル定数で決まるべき指数範囲に上記出力べき指数信号をクリップして、最終出力べき指数信号を発生する出力べき指数信号クリップ手段と、

上記最小べき指数デジタル定数から上記出力べき指数信号を減算して、クリップべき指数信号を発生する手段と、

上記クリップべき指数信号をクリップして、クリップされたべき指数信号を発生するクリップべき指数信号クリップ手段と、

上記クリップされたべき指数信号から上記シフトべき指数信号を減算してシフト制御信号を発生する手段と、上記シフト制御信号を制限して、制限されたシフト制御信号を発生する手段と、

上記制限されたシフト制御信号の制御により上記入力デジタル信号をシフトして、出力仮数信号を発生するシフト手段と、

上記出力べき指数信号クリップ手段からの最大クリップ信号、上記クリップべき指数信号クリップ手段からの制御信号及び上記シフト手段からのオーバーフロー信号に応じて上記出力仮数信号をクリップして、最終出力仮数信号を発生する手段とを具え、

上記第2数値フォーマットが浮動小数点数値フォーマットのときに上記出力デジタル信号が上記最終べき指数信号及び上記最終仮数信号であり、上記第2数値フォーマットが固定小数点フォーマットのときに上記出力デジタル信号が上記最終出力仮数信号であることを特徴とする数値フォーマット変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル信号処理に関し、特に、種々の固定小数点数値フォーマット及び浮動小数点数値フォーマットをサポートし、信号処理経路における必要性に応じてフォーマット間の変換を行う信号処理用数値フォーマット変換装置に関する。

【0002】

【従来の技術】ほとんどのデジタル信号処理は、固定小数点2進数値フォーマットにより表される一連の数値サンプルの形式で表現される信号により行われている。このフォーマットは、比較的簡単なために一般的であり、最も一般的な信号処理動作は、加算、減算、比較及び乗算の如きハードウェアにより実現できる。信号の制御が容易であるこの数値フォーマットの他の利点には、丸め込み誤差に対する良好な制御、固定された制限範囲、全範囲にわたる一定の分解能などがある。

【0003】

【発明が解決しようとする課題】しかし、2乗、平方根、対数、指数及び除算の如き多くの一般的でない信号処理動作にとって、固定範囲及び一定の分解能は大きな欠点でもある。結果の精度を維持するために、固定小数点フォーマットを用いた場合、これら動作の各々には、数値サンプルのワードのサイズを大きく拡大するか縮小することが必要である。例えば、16ビット数を2乗した結果、32ビットが必要になる。したがって、これらの場合、浮動小数点数値フォーマットがより適切である。残念なことに、浮動小数点数値フォーマットにおいて加算、減算及び比較動作を実現することは非常に困難であるので、多くの場合にこれらを行うのが非常に高価になる。

【0004】しばしばデジタル信号処理環境において、信号を表すベクトル又は虚数の大きさが必要になる。この大きさを求めるには、2つの直交ベクトル成分を各信号源から得て、デジタル整数値を与える。一般的にはリード・オンリ・メモリのルックアップ・テーブルにより、これら整数値の各々を2乗し、これら2乗を加算し、その結果の平方根を求める。リード・オンリ・メモリの入力数が制限されているので、平方根の和を浮動小数点数に変換することが望ましい。平方根を扱うには、ルックアップ・テーブルをアクセスするビット数が過大にならないように、浮動小数点数のべき指数を制限する必要がある。これには、べき指数のサイズを決め、制限及びシフトを行う付加回路が必要になる。

【0005】デジタル・ビデオ効果環境における他の例は、ビデオ画像の入力フレームからどのピクセルの組み合わせをアクセスして、対応するピクセルを出力する必要があるかを決定する際に、逆アドレス指定を行う。これには、デジタル整数を与える3つの信号源が必要である。2つの信号源からの数値を第3の信号源からの数値で除算するが、浮動小数点数値フォーマットに変換する必要がある。その結果から2つのアドレスを得るには、固定小数点数値フォーマットに戻す変換が必要である。従来は、数値フォーマットの各々に対して、特定の回路が必要であった。

【0006】そこで、種々の固定小数点数値フォーマット及び浮動小数点数値フォーマットをサポートして、信

号処理経路の必要性に応じて、数値フォーマット間の変換を行うハードウェアが必要とされている。

【0007】したがって、本発明の目的は、種々の固定小数点数値フォーマット及び浮動小数点数値フォーマットをサポートし、信号処理経路の必要性に応じて数値フォーマット間での変換を行う信号処理用数値フォーマット変換装置の提供にある。

【0008】

【課題を解決するための手段】本発明によれば、数値フォーマット変換装置は、2つの入力端及び2つの出力端を具えている。一方の入力端は、浮動小数点数値入力フォーマットに対してべき指数部分を受けると共に、固定小数点数値入力フォーマットに対してゼロを受ける。また、他方の入力端は、浮動小数点数値入力フォーマットに対して仮数部分を受けると共に固定小数点数値入力フォーマットに対して固定小数点数値を受ける。所望出力数値フォーマットに応じて、最小べき指数、最大べき指数及びべき指数オフセットの値を定数として装置に入力する。これら定数に应答して、入力数値を所望出力数値フォーマットに変換する。出力端の一方は、浮動小数点数値出力フォーマットに対してべき指数値を与えるが、固定小数点数値出力フォーマットに対しては、この出力端の一方を用いない。他方の出力端は、浮動小数点数値出力フォーマットに対して仮数値を与えるが、固定小数点数値出力フォーマットに対しては固定小数点数値を与える。

【0009】本発明のその他の目的、利点及び新規な特徴は、特許請求の範囲及び添付図を参照した以下の詳細説明から明らかになる。

【0010】

【発明の実施の形態】図1は、本発明の第1実施例のブロック図である。入力信号の信号データ小数点の値を表し、浮動小数点数値フォーマットでは $snnnnnnnn \times 2^{**E}$ の如き各デジタル・データ・ワードは、Mビット又は数ビットのべき指数部分Eと、Nビット又は数ビットの符号(s)のある仮数部分 $snnnnnnnn$ を具えている(なお、 2^{**E} は、2のE乗を表す)。固定小数点数値では、べき指数部分Eはゼロである。べき指数部分Eをべき指数オフセット定数と共にオフセット加算回路12に入力する。このオフセット加算回路12は、浮動小数点入力フォーマットに対してべき指数のバイアスを加算し、固定小数点入力フォーマットに対して2進小数点位置を定義して、オフセットべき指数 E_o を発生する。範囲 $[-1, 1 - 2^{**}(N-1)]$ 内のNビットの符号付き端数部分の形式である仮数部分(符号ビット部分)を、カウンタ14に入力する。このカウンタ14は、符号ビットの数マイナス1を計数して、シフトべき指数 E_s を出力する。オフセット成分 E_o 及びシフトべき指数 E_s を出力加算回路16に入力し、 E_o から E_s を減算して、クリップされていない出力べき指数 E_r

7

(中間べき指数信号)を発生する。次に、クリップされていない出力べき指数 E_r を、ユーザが制御した最大及び最小べき指数定数と共に、出力べき指数クリップ回路18に入力する。クリップ回路18は、クリップされていない出力べき指数 E_r が所望べき指数範囲(最大及び最小べき指数定数で決まる)の外ならば、このべき指数 E_r をかかえる最大又は最小べき指数定数レベルにクリップして、最終出力べき指数 E_f を発生する。なお、加算回路12、16及びカウンタ14が組み合わせ手段を構成し、この組み合わせ手段及びクリップ回路18がデジタルべき指数信号発生手段を構成する。

【0011】出力仮数又は固定小数点数値のフォーマットを設定するために、クリップされていない出力べき指数 E_r を最小べき指数定数と共にクリップ加算回路20に入力して、最小べき指数定数から E_r を減算して、クリップべき指数 E_c を発生する。このクリップべき指数 E_c をクリップ回路22に入力する。このクリップ回路22は、クリップ・モード・コマンドが制御する。浮動小数点出力フォーマットでは、クリップ回路22は、負の値をゼロにクリップする。漸次のアンダーフローが望ましくない浮動小数点出力フォーマットでは、クリップ回路22は、正の値が検出されると、正出力信号を発生する。固定小数点出力フォーマットでは、負の結果をクリップしない。シフト加算回路24は、シフトべき指数値 E_s をクリップされた値 E_c から減算して、クリップされていないシフト制御信号を発生する。このクリップされていないシフト制御信号をシフト・クリップ回路26に入力して、制御信号が N より大きければ、クリップされていないシフト制御信号を N にクリップする。シフト・クリップ回路26からのクリップされたシフト制御信号を、仮数部分と共に符号拡張バレル・シフト器28に入力する。このバレル・シフト器28は、クリップされたシフト制御信号に応じて仮数部分を右方向にシフトして、クリップされていない出力仮数信号を発生する。クリップされていない出力仮数信号は、出力仮数クリップ回路30に入力する。この出力仮数クリップ回路30への他の入力は、クリップされていない出力べき指数 E_r が最大べき指数値によりクリップされたときに発生する出力べき指数クリップ回路18からの最大クリップ信号と、クリップ回路22からの正出力信号と、バレル・シフト器28からのオーバーフロー(OVFL)出力とである。なお、これら信号がクリップ範囲を定める。クリップされていない出力仮数信号は、クリップ回路30により、正の場合に最大レベルにクリップされ、負の場合に最小レベルにクリップされて、浮動小数点数値フォーマットで出力仮数信号を発生するか、固定小数点数値フォーマットで出力固定小数点数値信号を発生する。なお、加算回路20及びクリップ回路22がクリップされたべき指数信号発生手段を構成し、カウンタ14、加算回路24及びシフト・クリップ回路26がシフト制御信

8

号生成手段を構成する。また、これらクリップされたべき指数信号発生手段及びシフト制御信号生成手段がシフト制御信号発生手段を構成する。そして、このシフト制御信号発生手段、バレル・シフト器28及びクリップ回路30がデジタル仮数信号発生手段を構成する。

【0012】固定小数点数値出力フォーマットでは、最小及び最大べき指数定数を共に $-P$ に設定する。なお、 P は、整数ビットの数値であり、符号ビットを計数しない。これら整数ビットは、出力における2進小数点の左にある。浮動小数点出力では、最小及び最大べき指数定数が、浮動小数点出力のべき指数信号が変化する範囲を定義する。べき指数が大きすぎる数値を、最大正浮動小数点レベル又は最小負浮動小数点レベルにクリップしてもよい。べき指数が小さすぎる数値のべき指数信号は、最小べき指数レベルにクリップされて、非正規化とし、べき指数信号のレベルが小さくなるにつれて、徐々にゼロとなる。この処理は、漸次のアンダーフローとして知られている。最小べき指数定数よりも小さいべき指数信号に対して漸次アンダーフローにならない浮動小数点出力フォーマットを維持するために、クリップ回路22からの正出力信号を用いて、仮数出力信号をゼロにクリップする。固定小数点出力信号をクリップすることなくオーバーフローできる固定小数点出力フォーマットを維持するために、最大クリップ信号及びバレル・シフト器28からのオーバーフロー信号が出力を最大レベルにクリップしないように禁止する。

【0013】和及びキャリー・ビットを発生する3方向(three-way)半加算器の単一レベルにより3方向加算を実現し、単一の $(N-1)$ ビット加算器を用いてキャリーを和ビットに加算する既知の方法のいくつかのアプリケーションにより、縦続接続加算器12、16、20を組み合わせてもよい。本発明の第2実施例の図2に示すように、図1の加算回路20と類似したシフト加算回路20'において、オフセットべき指数信号 E_o を最小べき指数定数から減算してもよい。その結果のクリップべき指数信号 E_c' をマルチプレクサ32に入力する。その第2入力、否定回路34が否定した符号付きべき指数信号 E_s である。比較回路36は、クリップされていない出力べき指数信号 E_r を最小べき指数定数と比較して、マルチプレクサ32用の選択信号及び出力クリップ回路30用の制御信号を発生する。マルチプレクサ32は、図1のクリップ回路22のゼロへのクリップを実現する。マルチプレクサ32の出力は、図1のようなシフト・クリップ回路26に入力する。勿論、別の必要性に応じてこの設計を変更する多くの方法がある。なお、図2においては、カウンタ14、加算回路20'、クリップ回路26、マルチプレクサ32、否定回路34、比較回路36が、シフト制御信号発生手段を構成する。

【0014】 $N=8$ 及び0. 1011010 $\times 2^{*-6}$

の入力値に対する動作においては、べき指数範囲を $[2^{**}2, 2^{**}-4]$ に変換するのが望ましい。最大べき指数定数を2に設定し、最小べき指数定数を-4に設定する。べき指数オフセット定数は、ゼロに設定する。-6のべき指数定数を図1の回路に入力し、 $E_o = -6$ 、 $E_s = 0$ 、 $E_r = -6$ 及び $E_c = 2$ とする。-6は-4よりも小さいので、出力べき指数信号 E_f を-4にクリップする。べき指数部分を2位置だけ右にシフトして、 0.0010110 の出力仮数又は $0.0010110 \times 2^{**}-4$ の出力信号データ・ワードを発生する。

【0015】浮動小数点数値フォーマット信号を固定小数点 $[2^{**}0]$ に変換するには、最大及び最小べき指数の両方をゼロに設定し、べき指数オフセット定数もゼロに設定する。次に、 $E = -6$ 、 $E_o = -6$ 、 $E_s = 0$ 、 $E_r = -6$ 、 $E_c = 6$ とし、 E_f を用いない。仮数部分を6ビット右にシフトして、出力仮数信号用の出力データ・ワードとして、固定小数点表記で 00000001 又は 0.00000001 にする。

【0016】他の例では、べき指数範囲は、 $[2^{**}-8, 2^{**}-13]$ である。次に、最大べき指数定数=-8、最小べき指数定数=-13、べき指数オフセット定数=0、 $E = E_o = -6$ 、 $E_s = 0$ 、 $E_r = -6$ 、 $E_c = -7$ （ゼロにクリップされる）、 $E_f = -8$ である。出力クリップ回路30にて、仮数部分をその最大にクリップして、 0.1111111 の出力仮数信号データ・ワードを発生する。浮動小数点数値出力データ・ワードは、 $0.1111111 \times 2^{**}-8$ となる。

【0017】最後の例として、べき指数範囲を $[2^{**}14, 2^{**}-7]$ に制限する。次に、最大べき指数定数は14であり、最小べき指数は-7であり、べき指数オフセット定数はゼロであり、 $E = E_o = -6$ 、 $E_s = 0$ 、 $E_r = -6$ 、 $E_f = -6$ 及び $E_c = -1$ （ゼロにクリップされる）である。仮数部分はシフトされないのので、出力浮動小数点数値データ・ワードは、入力浮動小数点数値データ・ワード、即ち、 $0.1011010 \times 2^{**}-6$ に等しい。

【0018】べき指数が範囲 $[2^{**}4, 2^{**}-1]$ 内の浮動小数点数値データ・ワードに変換すべき 0101.1010 の如き固定小数点入力データ・ワードでは、最大べき指数定数は4であり、最小べき指数定数は-1であり、固定小数点入力フォーマットでの2進小数点の位置を示すべき指数オフセット定数は3であり、 $E = 0$ 、 $E_o = 3$ 、 $E_s = 0$ 、 $E_r = 3$ 、 $E_c = -4$ 及び $E_f = 3$ である。 E_c を0にクリップするので、入力値は、シフトされないままであり、出力仮数データ・ワードになる。浮動小数点出力データ・ワードは、 $0.1011010 \times 2^{**}3$ になる。

【0019】上述したベクトル大きさ場合では、2つの16ビット整数信号X及びYが夫々の乗算器に入力して、32ビットのX及びYの2乗を発生する。これらX

及びYの2乗を加算回路に入力して、33ビットのこれら2乗の和を発生する。次に、この33ビットの整数デジタル・データ・ワードを本発明の数値フォーマット変換装置に入力して、16ビット浮動小数点デジタル・データ・ワードを発生する。このデジタル・データ・ワードをアドレスとして用いて、リード・オンリ・メモリ・ルックアップ・テーブルをアクセスする。このルックアップ・テーブルは、固定小数点フォーマット・データ・ワードとして、その結果の2乗の平方根を出力する。乗算器、加算回路及び数値フォーマット変換装置をハードウェアで単一のASIC（用途限定集積回路）上に実現してもよい。同様に、数値フォーマット変換装置を、除算回路と関連して単一のASIC上に実現して、整数データ・ワードを除算用の浮動小数点データ・ワードに変換し、出力用に固定小数点データ・ワードに戻してもよい。

【0020】

【発明の効果】よって、本発明は、ASICで実現可能な信号処理用の数値フォーマット変換装置を提供できる。この数値フォーマット変換装置は、入力として、第1数値フォーマットの信号デジタル・データ・ワードを受け、第2数値フォーマットに応じて、指定したべき指数範囲及びべき指数オフセット定数の関数として、べき指数信号及び仮数/固定小数点信号を出力して、入力信号データ・ワードを固定小数点から浮動小数点への変換、浮動小数点から固定小数点への変換、又は浮動小数点から別の浮動小数点データ・ワードへの変換が可能になる。

【図面の簡単な説明】

【図1】本発明による信号処理用数値フォーマット変換装置の第1実施例のブロック図である。

【図2】本発明による信号処理用数値フォーマット変換装置の第2実施例のブロック図である。

【符号の説明】

12、16、20、20'、24 加算回路

14 カウンタ

18、22、30 クリップ回路

26 シフト・クリップ回路

28 パレル・シフト器

32 マルチプレクサ

34 否定回路

36 比較回路

12、14、16、18 デジタルべき指数信号発生手段

14、20、22、24、26、28、30 デジタル仮数信号発生手段

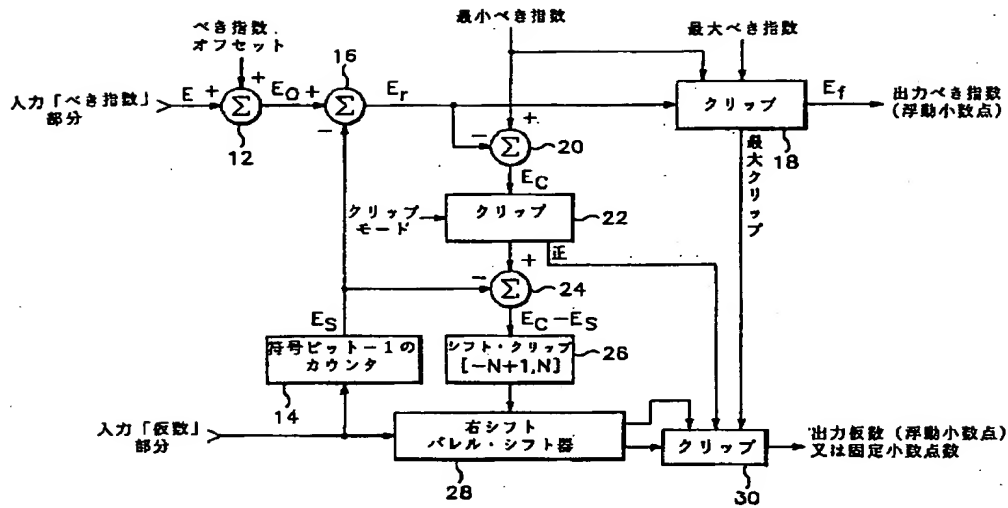
12、16 組み合わせ手段

14、20、22、24、26 シフト制御信号発生手段

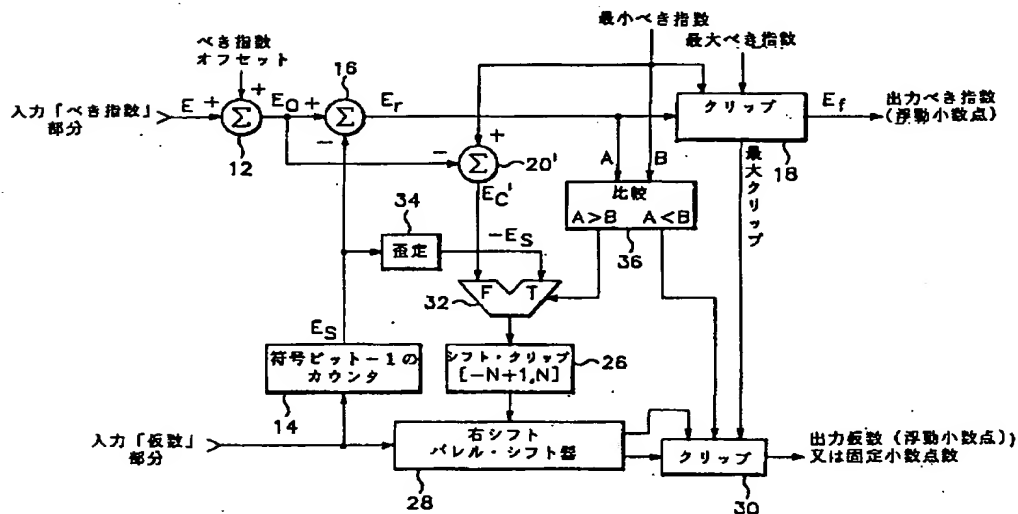
14、20'、26、32、36 シフト制御信号発生

手段

【図1】



【図2】



フロントページの続き

(72)発明者 デーヴィッド・エイ・オーマン
アメリカ合衆国 カリフォルニア州
95945グラス・バレー オーク・リッ
ヂ・ドライブ 21474

(72)発明者 ジェフリィ・ジェイ・ウォーカー
アメリカ合衆国 カリフォルニア州
95945グラス・バレー コナウェイ・ア
ベニュー 128

(58)調査した分野(Int. Cl. 6, DB名)

G06F 7/00